

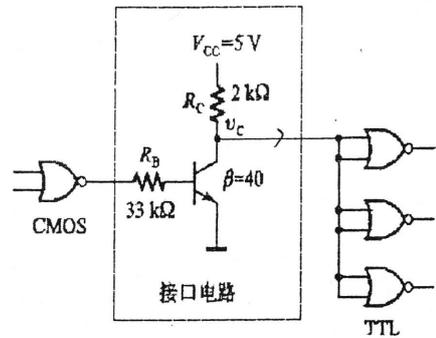
七、(共 15 分, 每小题 5 分) 有一个 4 变量逻辑函数:

$f_1(A, B, C, D) = \bar{B}\bar{D} + A\bar{C}\bar{D} + \bar{A}BD + A\bar{B}\bar{C} + \bar{A}BC\bar{D}$, 其输入有约束条件, 即有部分输入组合不可能发生。此函数最小化表达式为:

$$f_2(A, B, C, D) = \bar{B}\bar{D} + BD + A\bar{C} + \bar{A}C\bar{D}.$$

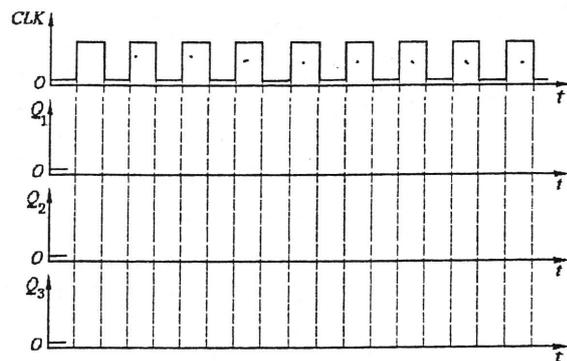
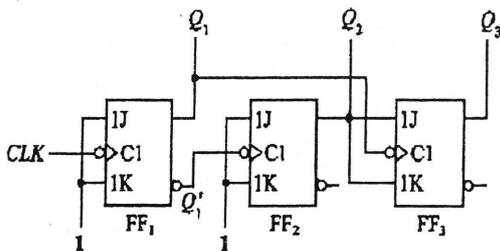
- 1、用一个 8 选 1 数据选择器实现函数 f_1 , 要求用 A、B、C 作地址输入变量, 画出电路图。(允许使用反相器)
- 2、试问 f_2 是否存在竞争冒险? 如果存在, 试求竞争冒险产生的条件及冒险类型。
- 3、试求此函数可能的约束条件, 写出约束条件表达式。

八、(共 10 分, 每小题 5 分) 右图所示接口电路中已知: 三极管 2N3904 导通时 $V_{BE}=0.7V$, 电流放大系数 $\beta=40$, 饱和导通压降 $V_{CE(sat)}=0.1V$, 饱和导通内阻 $R_{CE(sat)}=20\Omega$ 。CMOS 或非门的电源电压 $V_{DD}=5V$, 空载输出的高、低电平分别为 $V_{OH}=4.95V$ 、 $V_{OL}=0.05V$, 门电路的输出电阻小于 200Ω , 高电平输出电流的最大值和低电平输出电流的最大值均为 $4mA$ 。TTL 或非门的高电平输入电流 $I_{IH}=40\mu A$, 低电平输入电流 $I_{IL}=-1.6mA$ 。



- 1、计算电路输出端 V_c 的高、低电平;
- 2、接口电路参数的选择是否合理? 请说明理由。

九、(10 分) 请画出下图所示电路在一系列时钟信号 CLK 作用下 Q_1 、 Q_2 、 Q_3 端输出电压的波形, 并说明该电路的最可能的功能。触发器为下跳边沿触发方式, 所有触发器初始状态为 $Q=0$ 。



十、(15 分) 用 D 触发器、8 选 1 数据选择器和门电路设计一个序列信号发生器, 要求当 $X=0$ 时产生序列信号 110100, 当 $X=1$ 时产生序列信号 11001100, 序列信号左边位先行。要求写出设计过程, 画出逻辑电路图, 标出序列信号输出端。